50195-391
Saichirou KANEKO, et al.
October 10, 2003

日　本　国　特　許　庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００２年１０月１８日

出願番号
Application Number: 特願２００２－３０５０６６

[ST.10/C]: [ＪＰ２００２－３０５０６６]

出願人
Applicant(s): 日産自動車株式会社

２００３年　６月２７日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００３－３０５１１９２

【書類名】　特許願

【整理番号】　NM02-00791

【提出日】　平成14年10月18日

【あて先】　特許庁長官殿

【国際特許分類】　H01L 29/78

H01L 21/336

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地　日産自動車株式会社内

【氏名】　林　哲也

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地　日産自動車株式会社内

【氏名】　星　正勝

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地　日産自動車株式会社内

【氏名】　クライソン　トロンナムチヤイ

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地　日産自動車株式会社内

【氏名】　金子　佐一郎

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地　日産自動車株式会社内

【氏名】　田中　秀明

【特許出願人】

【識別番号】　000003997

【氏名又は名称】　日産自動車株式会社

【代理人】

【識別番号】　100083806

【弁理士】

【氏名又は名称】　三好　秀和

【電話番号】　03-3504-3075

【選任した代理人】

【識別番号】　100068342

【弁理士】

【氏名又は名称】　三好　保男

【選任した代理人】

【識別番号】　100100712

【弁理士】

【氏名又は名称】　岩▲崎▼　幸邦

【選任した代理人】

【識別番号】　100087365

【弁理士】

【氏名又は名称】　栗原　彰

【選任した代理人】

【識別番号】　100079946

【弁理士】

【氏名又は名称】　横屋　趙夫

【選任した代理人】

【識別番号】　100100929

【弁理士】

【氏名又は名称】　川又　澄雄

【選任した代理人】

【識別番号】　100095500

【弁理士】

【氏名又は名称】　伊藤　正和

【選任した代理人】

【識別番号】　100101247

【弁理士】

【氏名又は名称】　高橋　俊一

【選任した代理人】

【識別番号】　100098327

【弁理士】

【氏名又は名称】　高松　俊雄

【手数料の表示】

【予納台帳番号】　001982

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9707400

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　炭化珪素半導体装置

【特許請求の範囲】

【請求項１】　第１導電型の炭化珪素半導体基体でなるドレイン領域と、

前記炭化珪素半導体基体の一方の主面上に接合された、前記炭化珪素半導体基体とはバンドギャップが異なるヘテロ半導体からなるソース領域と、

前記ソース領域上に絶縁層を介して配置されたゲート電極と、

前記ソース領域に接触するソース電極と、

前記ドレイン領域に接触するドレイン電極と、

を備えたことを特徴とする炭化珪素半導体装置。

【請求項２】　前記ソース領域の前記ソース電極と接触する部分における不純物の濃度は、この部分以外の前記ソース領域部分における不純物の濃度よりも高く設定され、前記ソース電極が前記ソース領域にオーム性接触することを特徴とする請求項１記載の炭化珪素半導体装置。

【請求項３】　前記ゲート電極直下の前記ドレイン領域における前記ソース領域との界面近傍部分は、この部分以外の前記ドレイン領域部分よりも、第１導電型不純物の濃度が高く設定された第１導電型の低抵抗領域であることを特徴とする請求項１又は請求項２に記載された炭化珪素半導体装置。

【請求項４】　前記炭化珪素半導体基体における、前記ソース電極と接触する前記ソース領域の直下近傍部分に、前記ソース領域と接合する第２導電型の電界緩和領域が形成されていることを特徴とする請求項１乃至請求項３のいずれか一項に記載された炭化珪素半導体装置。

【請求項５】　前記炭化珪素半導体基体における、前記ソース電極と接触する前記ソース領域の直下近傍に、前記ソース領域と接合する誘電体領域が形成されていることを特徴とする請求項１乃至請求項３のいずれか一項に記載された炭化珪素半導体装置。

【請求項６】　第１導電型の炭化珪素半導体基体でなり、前記炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、

前記炭化珪素半導体基体の前記主面及び前記溝内壁に接するように配置され、

前記炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、

前記溝内に絶縁層を介して形成されたゲート電極と、

前記ソース領域に接触するソース電極と、

前記ドレイン領域と接触するドレイン電極と、

を備えたことを特徴とする炭化珪素半導体装置。

【請求項７】　第１導電型の炭化珪素半導体基体でなり、前記炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、

前記炭化珪素半導体基体の前記主面及び前記溝内壁に接するように配置され、前記炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、

前記主面上に位置する前記ソース領域の上方に絶縁層を介して配置されたゲート電極と、

前記ソース領域に接触するソース電極と、

前記ドレイン領域に接触するドレイン電極と、

を備えたことを特徴とする炭化珪素半導体装置。

【請求項８】　前記ソース領域の前記ソース電極と接触する部分における不純物の濃度は、この部分以外の前記ソース領域部分における不純物の濃度よりも高く設定され、前記ソース電極が前記ソース領域にオーム性接触することを特徴とする請求項６又は請求項７に記載された炭化珪素半導体装置。

【請求項９】　前記ゲート電極直下の前記ドレイン領域における前記ソース領域との界面近傍部分は、この部分以外の前記ドレイン領域部分よりも、第１導電型不純物の濃度が高く設定された第１導電型の低抵抗領域であることを特徴とする請求項６乃至請求項８いずれか一項に記載された炭化珪素半導体装置。

【請求項１０】　前記ドレイン領域における、前記溝の底部に位置する前記ソース領域の直下近傍部分に、前記ソース領域と接合する第２導電型の電界緩和領域が形成されていることを特徴とする請求項６乃至請求項９のいずれか一項に記載された炭化珪素半導体装置。

【請求項１１】　前記ドレイン領域における、前記溝の底部に位置する前記

前記ソース領域の直下近傍に、前記ソース領域と接合する誘電体領域が形成されていることを特徴とする請求項６乃至請求項９のいずれか一項に記載された炭化珪素半導体装置。

【請求項１２】　前記ヘテロ半導体領域は、シリコンでなることを特徴とする請求項１乃至請求項１１のいずれか一項に記載された炭化珪素半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、炭化珪素半導体装置に関する。

【０００２】

【従来の技術】

従来、一般に知られている炭化珪素を構成材料とした炭化珪素半導体装置として、図１７に示すようなＭＯＳＦＥＴ１００（例えば、特許文献１参照。）が知られている。図１７は従来のＭＯＳＦＥＴ１００の概略を示す断面図である。図１７に示すように、このＭＯＳＦＥＴ１００では、n^+型の炭化珪素基板領域１０１の上にn^-型のドレイン領域１０２が形成されている。このドレイン領域１０２の表層部には、ｐ型のウェル領域１０３が形成されている。そして、このウェル領域１０３内の表層部には、n^+型のソース領域１０４が形成されている。また、ドレイン領域１０２の上には、ゲート絶縁膜１０５を介してゲート電極１０６が配置されている。さらに、ウェル領域１０３及びソース領域１０４の上には、これらに接するようにソース電極１０７が形成されている。また、炭化珪素基板領域１０１の裏面には、ドレイン電極１０８が形成されている。

【０００３】

次に、図１７に示すＭＯＳＦＥＴ１００の動作について説明する。図１７においてソース電極１０７を接地し、ドレイン電極１０８に正電位を印加した状態で、ゲート電極１０６を接地もしくは負電位とした場合、ドレイン領域１０２とウェル領域１０３とが逆バイアス状態となるため、このＭＯＳＦＥＴ１００は遮断状態となる。この状態で、ゲート電極１０６に適当な正電位を印加すると、ゲート電極１０６に対向したウェル領域１０３界面に反転型のチャネル領域が形成さ

れる。すると、このチャネル領域を通って、ソース領域１０４からドレイン領域１０２へ電子が流れる。すなわち、ゲート電極１０６の電位を制御することにより、ドレイン電極１０８からソース電極１０７に電流が流れる。このように、図１７に示したＭＯＳＦＥＴ１００は、スイッチング機能を有している。

【０００４】

【特許文献１】

特開２０００－３３２１７９号公報　（第１頁、図１）

【０００５】

【発明が解決しようとする課題】

しかしながら、図１７に示した炭化珪素を材料としたＭＯＳＦＥＴ１００では、反転型のチャネル領域が形成されるゲート絶縁膜１０５直下のウェル領域１０３界面に不完全な結晶構造、すなわち多量の界面準位が存在する。このような多量の界面準位は、電子トラップとして働く。このことから、図１７に示したＭＯＳＦＥＴ１００では、チャネル移動度を高めることができず、結果的にオン抵抗を低減するにも限界があった。

【０００６】

また、図１７に示したＭＯＳＦＥＴ１００にあっては、ゲート絶縁膜１０５が例えばシリコン酸化膜で形成されている場合、ドレイン電極１０８に高電圧が印加されてドレイン領域１０２に高電界が広がると、ゲート絶縁膜１０５はドレイン領域１０２に接しているため、炭化珪素を材料とするドレイン領域１０２が臨界電界に達する前に、ゲート絶縁膜が絶縁破壊電界に達する場合があった。このことから、ゲート絶縁膜１０５の絶縁破壊電圧で素子の耐圧が制限されてしまい、素子耐圧を向上するにも限界があった。

【０００７】

本発明は、上記のような従来技術の問題を解決するためになされたものであり、主たる目的は、オン抵抗を低減し、かつ素子耐圧を向上することができる、高耐圧電界効果トランジスタを提供することにある。

【０００８】

また、本発明の他の目的は、ノーマリーオフの電圧駆動型で、製造工程の簡単

な炭化珪素半導体装置を提供することにある。

【０００９】

【課題を解決するための手段】

この発明の第１の特徴は、第１導電型の炭化珪素半導体基体でなるドレイン領域と、炭化珪素半導体基体の一方の主面上に接合された、炭化珪素半導体基体とはバンドギャップが異なるヘテロ半導体からなるソース領域と、ソース領域上に絶縁層を介して配置されたゲート電極と、ソース領域に接触するソース電極と、ドレイン領域に接触するドレイン電極と、を備えたことを要旨とする。この発明においては、ソース領域がドレイン領域よりバンドギャップが小さく設定されることが好ましい。

【００１０】

また、この発明の第２の特徴は、第１導電型の炭化珪素半導体基体でなり、炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、炭化珪素半導体基体の主面及び溝内壁に接するように配置され、炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、溝内に絶縁層を介して形成されたゲート電極と、ソース領域に接触するソース電極と、ドレイン領域と接触するドレイン電極と、を備えたことを要旨とする。この発明においては、ソース領域がドレイン領域よりバンドギャップが小さく設定されることが好ましい。

【００１１】

さらに、この発明の第３の特徴は、第１導電型の炭化珪素半導体基体でなり、炭化珪素半導体基体の一方の主面上に溝が形成されたドレイン領域と、炭化珪素半導体基体の主面及び溝内壁に接するように配置され、炭化珪素半導体基体とはバンドギャップが異なったヘテロ半導体からなるソース領域と、主面上に位置するソース領域の上方に絶縁層を介して配置されたゲート電極と、ソース領域に接触するソース電極と、ドレイン領域に接触するドレイン電極と、を備えたことを要旨とする。この発明においては、ソース領域がドレイン領域よりバンドギャップが小さく設定されることが好ましい。

【００１２】

【発明の効果】

第１の特徴に係る本発明によれば、ゲート電極に正電位を印加して導通状態とした際に、ゲート電極直下にあるソース領域とドレイン領域とのヘテロ接合面全体で伝導電子が流れ、さらに伝導電子の導通・遮断を制御する所謂ＭＯＳＦＥＴにおけるチャネル部の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくすることができる。このため、チャネル抵抗、すなわちオン抵抗をさらに低減することが可能となる。また、本発明によれば、ゲート絶縁膜とドレイン領域との間にヘテロ半導体からなるソース領域が存在するため、ゲート絶縁膜にはほとんどドレイン電界がかからず、ゲート絶縁膜の絶縁破壊が起こりにくく、素子耐圧の向上しろが大きくなる。加えて、本発明では、ドレイン領域及びソース領域のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるた、所望の耐圧を実現することが容易になる。また、本発明によれば、素子製造時にドレイン領域への伝導度制御が必要なく、その製造工程が簡便となる。また、このように伝導度制御が必要ないことから、高温アニールなどで生じる表面荒れなどの問題も回避でき、オン抵抗の向上が期待できる。

【００１３】

第２の特徴に係る発明によれば、素子製造時にドレイン領域への伝導度制御が必要なく、その製造工程を簡単にすることができる。また、このように伝導度制御が必要ないことから、高温アニールなどで生じる表面荒れなどの問題も回避でき、オン抵抗を向上することができる。さらに、ゲート電極に正電位を印加して導通状態とした際に、ゲート電極直下にあるソース領域とドレイン領域とのヘテロ接合面全体で伝導電子が流れ、さらに伝導電子の導通・遮断を制御する所謂ＭＯＳＦＥＴにおけるチャネル部分の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくできるため、チャネル抵抗、すなわちオン抵抗を低減することができる。また、ゲート絶縁膜とドレイン領域との間にヘテロ半導体からなるソース領域が存在するため、ゲート絶縁膜にはほとんどドレイン電界がかからず、ゲート絶縁膜の絶縁破壊が起こりにくく、素子耐圧の向上しろが大きくなる。さらにまた、ドレイン領域及び

ソース領域のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易である。加えて、本発明によれば、ドレイン領域に溝を形成することで、導通時の伝導電子が流れる経路となるゲート電極と接するソース領域の面積を大きくとることができるため、さらにオン抵抗を低減することができる。

【００１４】

第３の特徴に係る発明によれば、素子製造時にドレイン領域への伝導度制御が必要なく、その製造工程が簡便になる。また、このように伝導度制御が必要ないことから、高温アニールなどで生じる表面荒れなどの問題も回避でき、オン抵抗を向上することができる。さらに、ゲート電極に正電位を印加して導通状態とした際に、ゲート電極直下にあるソース領域とドレイン領域とのヘテロ接合面全体で伝導電子が流れ、さらに伝導電子の導通・遮断を制御する所謂ＭＯＳＦＥＴにおけるチャネル部分の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくできるため、チャネル抵抗、すなわちオン抵抗を低減することができる。また、ゲート絶縁膜とドレイン領域との間にヘテロ半導体からなるソース領域が存在するため、ゲート絶縁膜にはほとんどドレイン電界がかからず、ゲート絶縁膜の絶縁破壊が起こりにくく、素子耐圧の向上しろが大きくなる。さらにまた、ドレイン領域及びソース領域のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易である。また、本発明によれば、ソース領域とドレイン領域とのヘテロ接合界面より深い位置に、接地電位に固定されたソース領域が存在しているため、隣り合う溝底部に形成されたソース領域から伸びた空乏層によってゲート電極直下のドレイン領域を空乏化することができ、遮断性を向上することができる。

【００１５】

【発明の実施の形態】

以下、本発明に係る炭化珪素半導体装置の詳細を図面に示す実施の形態に基づいて説明する。但し、図面は模式的なものであり、各層の厚みや厚みの比率などは現実のものとは異なることに留意すべきである。また、図面相互間においても

互いの寸法の関係や比率が異なる部分が含まれている。

【００１６】

（第１の実施の形態）

図１は、本発明を縦型のＭＯＳＦＥＴに適用した炭化珪素半導体装置の第１の実施の形態を示している。なお、図１は、ドレイン電極とソース電極とが平行をなすストライプ状に形成された構造を持つ炭化珪素半導体装置における構造単位セルが２つ連続した部分の断面図である。図１に示すように、この炭化珪素半導体装置１０は、第１導電型としてのｎ型の炭化珪素でなるn^+型炭化珪素基板領域１１と、このn^+型炭化珪素基板領域１１上に形成されたn^-型の炭化珪素からなるドレイン領域１２と、ドレイン領域１２の一方の主面上に形成されたソース領域１３と、このソース領域１３上の所定領域に形成されたゲート絶縁膜１４と、このゲート絶縁膜１５の上に形成されたゲート電極１５と、このゲート電極１５の側方に配置されて、ゲート絶縁膜１５が存在しない部分でソース領域１３に接触するように形成されたソース電極１６と、n^+型炭化珪素基板領域１１の他方の主面側に形成されたドレイン電極１７とから大略構成されている。

【００１７】

n^+型炭化珪素基板領域１１を構成する炭化珪素のポリタイプは、α－ＳｉＣのうち例えば４Ｈタイプを用いる。また、ドレイン領域１２は、n^+型炭化珪素基板領域１１上に、例えばエピタキシャル成長法により形成されている。

【００１８】

ソース領域１３は、n^-型の多結晶シリコンで形成されている。この結果、ドレイン領域１２とソース領域１３との接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合となっている。具体的には、ソース領域１３がドレイン領域１２よりもバンドギャップが小さく設定されている。このようなヘテロ接合となっている接合部の界面には、エネルギー障壁が存在している。

【００１９】

ゲート絶縁膜１４は、例えば、ソース領域１３を熱酸化して、所定領域を残すように熱酸化膜をエッチングすることにより形成されている。また、ゲート絶縁

膜１４上のゲート電極１５は、ソース電極１６と同一材料、同一工程で形成され、ソース電極１６と分離するようにパターニングされてなる。

【００２０】

次に、この炭化珪素半導体装置１０の動作を説明する。本実施の形態では、ソース電極１６を接地し、ドレイン電極１７に正電位を印加して使用する。

【００２１】

まず、ゲート電極１５を、例えば接地電位とした場合、遮断状態を保持する。すなわち、ソース領域１３とドレイン領域１２とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。以下、図２～図６を用いて、ソース領域１３を形成する多結晶シリコンと、ドレイン領域１２を形成する炭化珪素とのヘテロ接合の特性を詳細に説明する。図２～図６は、半導体のエネルギーバンド構造を示している。図２～図６の各図において、左側にはソース領域１３に対応するｎ$^{-}$型シリコンのエネルギーバンド構造を、右側にはドレイン領域１２に対応する４Ｈタイプのｎ$^{-}$型炭化珪素のエネルギーバンド構造を示している。なお、上記した構造の炭化珪素半導体装置１０においては、ソース領域１３が多結晶シリコンからなる場合を説明しているが、図２～図６ではシリコンのエネルギーバンド構造を用いて説明する。また、この説明では、ヘテロ接合の特性を理解し易くするため、ヘテロ接合界面に界面準位が存在しない場合の理想的な半導体ヘテロ接合のエネルギー準位について例示している。

【００２２】

図２はシリコン及び炭化珪素の両者が接触していない状態を示している。図２中、シリコンの電子親和力をχ１、仕事関数（真空準位からフェルミ準位までのエネルギー）をφ１、フェルミエネルギー（伝導帯からフェルミ準位までのエネルギー）をδ１、バンドギャップをＥｇ１としている。同様に、炭化珪素の電子親和力をχ２、仕事関数をφ２、フェルミエネルギーをδ２、バンドギャップをＥｇ２とする。図２に示すように、シリコンと炭化珪素との接合界面には、両者の電子親和力χの違いからエネルギー障壁ΔＥｃが存在し、その関係は下記の式（１）のように示すことができる。

【００２３】

$$\Delta Ec = \chi 1 - \chi 2 \quad \cdots (1)$$

また、図３はシリコン及び炭化珪素の両者を接触させ、シリコンと炭化珪素のヘテロ接合を形成したエネルギーバンド構造である。シリコン及び炭化珪素の両者を接触後も、エネルギー障壁ΔＥｃは接触前と同様に存在するため、シリコン側の接合界面には幅Ｗ１の電子の蓄積層が形成され、一方で炭化珪素側の接合界面にはＷ２の空乏層が形成されると考えられる。ここで、両接合界面に生じる拡散電位をＶＤ、シリコン側の拡散電位成分をＶ１、炭化珪素側の拡散電位成分をＶ２とすると、ＶＤは両者のフェルミ準位のエネルギー差であるから、その関係は下記の式（２）～（４）のように示される。

【００２４】

$$VD = (\delta 1 + \Delta Ec - \delta 2) \quad \cdots (2)$$

$$VD = V1 + V2 \quad \cdots (3)$$

$$W2 = \sqrt{(2 * \varepsilon 0 * \varepsilon 2 * V2) / (q * N2)} \quad \cdots (4)$$

ここで、ε０は真空中の誘電率、ε２は炭化珪素の比誘電率、Ｎ２は炭化珪素のイオン化不純物濃度を表す。なお、これらの式は、バンド不連続のモデルとしてＡｎｄｅｒｓｏｎの電子親和力に基づいており、理想的状態でさらに歪みの効果は考慮していない。

【００２５】

上記した説明に基づき、図１に示した第１の実施の形態に係る炭化珪素半導体装置１０について、ゲート電極１５直下のソース領域１３とドレイン領域１２との接合界面（図１中線分Ａ間）におけるエネルギーバンド構造を図４～図６に例示する。図４は、ゲート電極１５、ソース電極１６、ドレイン電極１７の電極にも電圧を印加しない所謂熱平行状態における図である。また、図５は、ゲート電極１５並びにソース電極１６を共に接地電位とし、かつドレイン電極１７に所定の正電位を印加した場合の図である。図５に示すように、ヘテロ接合界面のドレイン領域１２側には印加したドレイン電位に応じて空乏層が拡がる。それに対し、ソース領域１３側に存在する伝導電子はエネルギー障壁ΔＥｃを越えることができず、その接合界面には伝導電子が蓄積する。このため、炭化珪素側に拡がる空乏層に見合う電気力線が終端し、ソース領域１３側ではドレイン電界がシール

ドされることになる。このため、ソース領域１３を形成する多結晶シリコンの厚みが例えば２０ｎｍ程度と非常に薄い構造でも、遮断状態を維持する（耐圧を保持する）ことが可能である。

【００２６】

次に、遮断状態から導通状態へと移行すべくゲート電極１５に正電位を印加した場合、ソース領域１３を構成する多結晶シリコン層が薄く形成されていると、ゲート絶縁膜１４を介してソース領域１３並びにソース領域１３に接するドレイン領域１２のヘテロ接合界面までゲート電界が及ぶため、ソース領域１３並びにドレイン領域１２に伝導電子の蓄積層が形成される。すなわち、ゲート電極１５直下のソース領域１３とドレイン領域１２の接合界面（図１中線分Ａ間）におけるエネルギーバンド構造は、図６の実線で示すように変化する。このエネルギーバンド構造が実線のように変化するため、破線で示したオフ時のゲート電極１５直下のソース領域１３とドレイン領域１２の接合界面（図１中線分Ａ間）におけるエネルギーバンド構造に比べ、ソース領域１３側のポテンシャルが押し下げられ、かつドレイン領域１２側のエネルギー障壁が急峻になることからエネルギー障壁中を伝導電子がトンネリングすることが可能となる。

【００２７】

また、ソース電極１６直下のソース領域１３とドレイン領域１２の接合界面（図１中線分Ｂ間）におけるエネルギーバンド構造は図６の破線のままとなるため、伝導電子はソース電極１６直下のソース領域１３からゲート電極１５直下のソース領域１３へと供給される。このことから、それまでエネルギー障壁によって遮断されていた伝導電子は、ソース電極１６からソース領域１３を通ってドレイン領域１２へと流れる（導通状態となる）。

【００２８】

次に導通状態から遮断状態に移行すべく、再びゲート電極１５を接地電位とすると、ソース領域１３並びにドレイン領域１２のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ソース領域１３からドレイン領域１２への伝導電子の流れが止まる。さらに、ドレイン領域１２中にあった伝導電子が炭化珪素基板領域１１に流れて枯

渇すると、ドレイン領域１２側にはヘテロ接合部から空乏層が拡がり遮断状態となる。

【００２９】

また、この第１の実施の形態においては、従来の炭化珪素半導体装置の構造と同様に、例えばソース電極１６を接地し、ドレイン電極１７に負電位が印加された逆方向導通（還流動作）も可能である。例えば、ソース電極１６並びにゲート電極１５を接地電位とし、ドレイン電極１７に図３に示すｑＶ２以上の正電位が印加されると、伝導電子に対するエネルギー障壁は消滅し、ドレイン領域１２側からソース領域１３側に伝導電子が流れ、逆導通状態となる。

【００３０】

さらに、ゲート電極１５を接地せずに制御電極として使用した場合は、従来の炭化珪素半導体装置の構造と同様に、ドレイン電極１７にｑＶ２以下の電位が印加されただけで逆導通が可能となる。このことから、本実施の形態は、従来の炭化珪素半導体装置の構造と同様の逆導通機能を有している。

【００３１】

上述したとおり、図１に示した第１の実施の形態に係る炭化珪素半導体装置１０は、図１７に示した従来構造の炭化珪素半導体装置と同様の動作を実現することができ、加えて以下に説明するような利点を有する。

【００３２】

（イ）従来と同様に、電圧駆動型の炭化珪素ＭＯＳＦＥＴと同様の動作をするにも拘わらず、素子製造時にドレイン領域１２への伝導度制御が必要なく、製造工程が簡単になる。

【００３３】

（ロ）従来構造においてはドレイン領域の伝導度制御を行うために、例えばイオン注入したイオンを活性化させるための１７００℃程度の高温アニールが必要であるが、第１の実施の形態においては、上述のとおり伝導度制御が必要ないことから、高温アニールで生じる表面荒れなどの問題も回避でき、オン抵抗の向上が期待できる。

【００３４】

（ハ）ゲート電極１５に正電位を印加して導通状態とした際に、ゲート電極１５直下のソース領域１３とドレイン領域１２とのヘテロ接合界面全体で伝導電子が流れる。さらに、伝導電子の導通・遮断を制御するＭＯＳＦＥＴにおけるチャネル部の長さ（チャネル長）をヘテロ接合によって遮断状態を維持できる（耐圧を保持できる）ソース領域厚みまで小さくできるため、チャネル抵抗、すなわちオン抵抗を低減することができる。

【００３５】

（ニ）従来構造では、ゲート絶縁膜がドレイン領域に接しているため、ゲート絶縁膜がドレイン電界に晒されていたのに対し、本実施の形態においては、ゲート絶縁膜１４とドレイン領域１２との間に多結晶シリコンからなるソース領域１３が存在するため、ゲート絶縁膜１４にほとんどドレイン電界がかからない。すなわち、ゲート絶縁膜１４の絶縁破壊が起こりにくくなり、素子耐圧を大幅に向上できる。

【００３６】

（ホ）本実施の形態においては、ドレイン領域１２及びソース領域１３のそれぞれの不純物濃度を制御することで、エネルギー障壁の高さを変えることができるため、所望の耐圧を実現することが容易となる。

【００３７】

（第２の実施の形態）

図７は、本発明に係る炭化珪素半導体装置の第２の実施の形態を示している。なお、第２の実施の形態に係る炭化珪素半導体装置において、上記した第１の実施の形態と同一部分に同一の符号を付して説明を省略する。

【００３８】

第２の実施の形態に係る炭化珪素半導体装置１０は、ソース領域１３とソース電極１６との間に、例えば多結晶シリコンからなるn^+型のソースコンタクト層１８が介在されている。このソースコンタクト層１８は、従来の炭化珪素半導体装置の構造と同様に、ース電極１６とがオーム性接触となるよう設けられたものであり、n^-型の多結晶シリコンからなるソース領域１３の上にn^+型の多結晶シリコンからなるソースコンタクト層１８を積層して形成されている。なお、第

２の実施の形態に係る炭化珪素半導体装置１０の他の構成は、上記した第１の実施の形態と同様である。

【００３９】

本実施の形態によれば、n^-型の多結晶シリコンからなるソースコンタクト層１８を介在したことにより、ソース電極１６とソース領域１３とはオーム性接触し、ソース電極１６との接触抵抗を低減することができる。

【００４０】

本実施の形態における動作、作用及び効果は、上記した第１の実施の形態と同様である。

【００４１】

なお、本実施の形態では、ソースコンタクト層１８をソース領域１３の上に積層して形成したが、ソース領域１３の表面近傍（内部）に形成する構造としてもよい。

【００４２】

（第３の実施の形態）

図８は、本発明に係る炭化珪素半導体装置の第３の実施の形態を示している。なお、第３の実施の形態に係る炭化珪素半導体装置において、上記した第１及び第２の実施の形態と同一部分に同一の符号を付して説明を省略する。

【００４３】

第３の実施の形態に係る炭化珪素半導体装置１０は、上記した第２の実施の形態の炭化珪素半導体装置１０において、ゲート電極１５の直下に形成されているソース領域１３とヘテロ接合しているドレイン領域１２側の界面に、ドレイン領域１２より不純物濃度が高い炭化珪素からなるn^+型の低抵抗領域１９を形成している。なお、本実施の形態の炭化珪素半導体装置１０の他の構成は、上記した第１及び第２の実施の形態と同様である。

【００４４】

本実施の形態では、ゲート電極１５直下のソース領域１３とドレイン領域１２のヘテロ接合界面を、n^-型の多結晶シリコンとn^+型の炭化珪素で構成することで、エネルギー障壁ΔEcを小さくしている。

【００４５】

このことにより、上記した第１の実施の形態において説明した導通状態と同様の正電位をゲート電極に印加した場合、ソース領域１３から流れる伝導電子はヘテロ接合部のエネルギー障壁中をトンネリングし易くなる。すなわち、本実施の形態においては、上記した第１及び第２の実施の形態の効果に加えて、さらにオン抵抗を向上することができる。

【００４６】

（第４の実施の形態）

図９は、本発明に係る炭化珪素半導体装置の第４の実施の形態を示している。なお、第４の実施の形態に係る炭化珪素半導体装置において、上記した第１～第３の実施の形態と同一部分に同一の符号を付して説明を省略する。

【００４７】

本実施の形態の炭化珪素半導体装置１０においては、図８に示した第３の実施の形態と同様に、ゲート電極１５の直下に形成されているソース領域１３とヘテロ接合しているドレイン領域１２側の界面に、ドレイン領域１２より不純物濃度が高い炭化珪素からなるn^+型の低抵抗領域１９が形成されている。また、本実施の形態では、n^-型のソース領域１３を構成する多結晶シリコンに、ゲート電極１５直下のソース領域１３に隣接するn^+型のソースコンタクト層１８を作り込んでいる。すなわち、本実施の形態では、ソース領域１３とソースコンタクト層１８とが同一の多結晶シリコン膜で形成されている。そして、図９に示すように、ドレイン領域１２には、一方の主面側からｐ型の炭化珪素でなる電界緩和領域２０が所定深さで、低抵抗領域１９を呂側から挟み込むように形成されている。すなわち、電界緩和領域２０は、ドレイン領域１２の一方の主面側からｐ型の不純物が導入されてなる。そして、この電界緩和領域２０は、ソース電極１６と同電位に固定されている。

【００４８】

この第４の実施の形態においては、上記した第１～第３の実施の形態と同様に、例えばソース電極１６並びにゲート電極１５を接地し、ドレイン電極１７に正電位を印加した場合、遮断状態を実現することが容易となる。つまり、本実施の

形態においては、ソース電極１６と同電位に固定された電界緩和領域２０とドレイン領域１２との間のｐｎ接合にも逆バイアスが印加されるため、その接合界面から空乏層が伸びるからである。また、低抵抗領域１９を挟むように対面する電界緩和領域２０同士の距離が小さい場合、それぞれの電界緩和領域２０から伸びた空乏層によって、低抵抗領域１９が接するドレイン領域１２を空乏化することができる。このことから、低抵抗領域１９の不純物濃度をさらに高くして、低抵抗領域１９自体が完全に空乏化しなくても、素子耐圧を電界緩和領域２０で維持することができる。

【００４９】

すなわち、第４の実施の形態においては、第１～第３の実施の形態の効果に加え、さらに低抵抗領域１９の不純物濃度を高めることができるため、さらにオン抵抗を向上することができる。

【００５０】

（第５の実施の形態）

図１０は、本発明に係る炭化珪素半導体装置の第５の実施の形態を示している。本実施の形態の炭化珪素半導体装置１０では、上記した第４の実施の形態の電界緩和領域２０の代わりに誘電体領域２１を形成した点が異なる。この誘電体領域２１は、ソース領域１３の両側部下面とソースコンタクト層１８と接するように形成されている。誘電体領域２１の形成は、上記した第４の実施の形態の電界緩和領域２０の形成に比較して容易となる利点があり、かつ電界緩和領域２０と同様の効果を有する。

【００５１】

すなわち、本実施の形態では、第１～第４の実施の形態の効果に加え、さらに製造工程を簡略化することができる。

【００５２】

（第６の実施の形態）

図１１は、本発明に係る炭化珪素半導体装置の第６の実施の形態を示しており、構造単位セルが２つ連続した部分を示す断面図である。本実施の形態に係る炭化珪素半導体装置においても、上記した第１～第５の実施の形態と同一の部分に

は同一の付して説明する。

【００５３】

本実施の形態の炭化珪素半導体装置１０においても、上記した第１～第５の実施の形態と同様に、炭化珪素のポリタイプが例えば４Ｈタイプのｎ$^{+}$型炭化珪素基板領域１１上にｎ$^{-}$型のドレイン領域１２が形成されている。ドレイン領域１２の一方の主面には複数の溝が平行に形成されており、これら溝を含めたドレイン領域１２の一方の主面側を覆うように、例えばｎ$^{-}$型の多結晶シリコンからなるソース領域１３が、ドレイン領域１２の一方の主面側の凹凸に沿って形成されている。本実施の形態においても、ドレイン領域１２とソース領域１３との接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合からなっており、その接合界面にはエネルギー障壁が存在している。また、ドレイン領域１２の一方の主面側に形成された溝の内部には、例えばシリコン酸化膜からなるゲート絶縁膜１４を介してゲート電極１５が形成されている。また、ソース領域１３にはソース電極１６が、ｎ$^{+}$型炭化珪素基板領域１１の他方の主面側にはドレイン電極１７が形成されている。

【００５４】

このような構成の本実施の形態の炭化珪素半導体装置１０の動作は、上記した第１の実施の形態と同様であり、例えばソース電極１６を接地し、ドレイン電極１７に正電位を印加して使用する。まず、この炭化珪素半導体装置１０では、ゲート電極１５を接地した場合、遮断状態を保持する。このような動作をする理由は、ソース領域１３とドレイン領域１２とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。

【００５５】

次に、遮断状態から導通状態へと移行すべくゲート電極１５に正電位を印加すると、ゲート絶縁膜１４を介してソース領域１３並びにソース領域１３に接するドレイン領域１２のヘテロ接合界面までゲート電界が及ぶため、共に伝導電子の蓄積層が形成される。すなわち、ゲート電極１５直下のソース領域１３とドレイン領域１２の接合界面の両側ともポテンシャルが押し下げられる。つまり、ヘテロ接合界面のエネルギー障壁は伝導電子の蓄積効果により急峻になるため、エネ

ルギー障壁中を伝導電子がトンネリングすることが可能となる。このことから、それまでエネルギー障壁によって遮断されていた電子流がドレイン領域１２中に流れる導通状態となる。このとき、本実施の形態においては、ドレイン領域１２に溝を形成し、ゲート電極１５と接するソース領域１３の面積をさらに大きくできるため、導通時の伝導電子が流れる経路が広がり、さらにオン抵抗を低減することができる。

【００５６】

次に、導通状態から遮断状態に移行すべく、再びゲート電極１５を接地電位とすると、ソース領域１３並びにソース領域１３に接するドレイン領域１２のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ソース領域１３からドレイン領域１２への伝導電子の流れが止まる。さらに、ドレイン領域１２中にあった伝導電子がn^+型炭化珪素基板領域１１に流れ枯渇すると、ドレイン領域１２側にはヘテロ接合部から空乏層が拡がり遮断状態となる。

【００５７】

また、本実施の形態においては、上記した第１の実施の形態と同様に、例えばソース電極１６を接地し、ドレイン電極１７に負電位が印加された逆方向導通（還流動作）も可能である。

【００５８】

このように、この第６の実施の形態においては、第１の実施の形態の特徴に加えて、ドレイン領域１２に溝を形成することで導通時の伝導電子が流れる経路となるゲート電極１５と接するソース領域１３の面積を大きくとることができるため、さらにオン抵抗を低減する効果を有する。

【００５９】

（第７の実施の形態）

図１２は、本発明に係る炭化珪素半導体装置の第７の実施の形態を示している。図７は、構造単位セルが２つ連続した断面図である。本実施の形態においても、炭化珪素のポリタイプが例えば４Ｈタイプのn^+炭化珪素基板領域１１上にn^-型のドレイン領域１２が形成されている。本実施の形態においても、上記した

第６の実施の形態と同様に、ドレイン領域１２の一方の主面に溝が形成されている。この溝を含むドレイン領域１２の一方の主面側を覆うように、例えばｎ$^{-}$型の多結晶シリコンからなるソース領域１３が、ドレイン領域１２の主面の凹凸に沿って形成されている。つまり、ドレイン領域１２とソース領域１３の接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合からなっており、その接合界面にはエネルギー障壁が存在している。ドレイン領域１２の一方の主面上に形成されたソース領域１３に接するように、例えばシリコン酸化膜からなるゲート絶縁膜１４を介してゲート電極１５が形成されている。また、ソース領域１３の溝に接している面の対向面には、ソース電極１６が、ｎ$^{+}$炭化珪素基板領域１１の他方の主面側にはドレイン電極１７が形成されている。

【００６０】

この第７の実施の形態に係る炭化珪素半導体装置１０の動作は、上記した第１の実施の形態と同様である。例えば、ソース電極１６を接地し、レイン電極１７に正電位を印加して使用する。まず、ゲート電極１５を接地した場合、遮断状態を保持する。すなわち、ソース領域１３とドレイン領域１２とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。

【００６１】

このとき、本実施の形態においては、ドレイン領域１２に溝を形成しており、さらにドレイン領域１２の一方の主面上にゲート絶縁膜１４を介してゲート電極１５が形成されているため、エネルギー障壁が形成されているソース領域１３とドレイン領域１２のヘテロ接合界面より深い位置に、接地電位に固定されたソース領域１３が存在する構成となっている。このため、遮断性を維持することがより容易となる。つまり、本実施の形態においては、溝底部に形成されたソース領域１３とドレイン領域１２との間のｐｎ接合にも逆バイアスが印加され、その接合界面から空乏層が伸びるからである。また、溝同士の距離が短い場合、隣り合う溝の底部に形成されたソース領域１３から伸びた空乏層によって、ゲート電極１５直下のドレイン領域１２を空乏化することができる。すなわち、本実施の形態においては、さらに遮断状態時の遮断性を向上することができる。

【００６２】

次に、遮断状態から導通状態へと移行するべくゲート電極１５に正電位を印加すると、ゲート絶縁膜１４を介してソース領域１３並びにソース領域１３に接するドレイン領域１２のヘテロ接合界面までゲート電界が及ぶため、共に伝導電子の蓄積層が形成される。すなわち、ゲート電極１５直下のソース領域１３とドレイン領域１２の接合界面の両側ともポテンシャルが押し下げられる。つまり、ヘテロ接合界面のエネルギー障壁が伝導電子の蓄積効果により急峻になるため、エネルギー障壁中を伝導電子がトンネリングすることが可能となる。このことから、それまでエネルギー障壁によって遮断されていた電子流がドレイン領域１２中に流れる導通状態となる。

【００６３】

次に、導通状態から遮断状態に移行すべく、再びゲート電極１５を接地電位とすると、ソース領域１３並びにソース領域１３に接するドレイン領域１２のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ソース領域１３からドレイン領域１２への伝導電子の流れが止まり、さらにドレイン領域１２中にあった伝導電子がn^+炭化珪素基板領域１１に流れ枯渇すると、ドレイン領域１２側にはヘテロ接合部から空乏層が拡がり遮断状態となる。

【００６４】

また、本実施の形態においては、上記した第１の実施の形態と同様に、例えばソース電極１６を接地し、ドレイン電極１７に負電位が印加された逆方向導通（還流動作）も可能である。

【００６５】

以上、本実施の形態については、上記した第１の実施の形態の特徴に加えて、遮断状態にエネルギー障壁が形成されているソース領域１３とドレイン領域１２のヘテロ接合界面より深い位置に、接地電位に固定されたソース領域１３が存在する構成となっているため、隣り合う溝の底部に形成されたソース領域１３から伸びた空乏層によってゲート電極１５直下のドレイン領域１２を空乏化することができる。このため、上記した構造の炭化珪素半導体装置１０では、遮断性を向

上することができる。

【００６６】

（第８の実施の形態）

図１３は、本発明に係る炭化珪素半導体装置の第８の実施の形態を示している。本実施の形態に係る炭化珪素半導体装置１０は、図１２に示した第７の実施の形態において、ソース領域１３とソース電極１６がオーム性接触するように、ソース領域１３とソース電極１６との間に、例えば多結晶シリコンからなるn^+型のソースコンタクト層１８を介在させた構成となっている。本実施の形態における他の構成は、上記した第７の実施の形態の構成と同様である。

【００６７】

なお、本実施の形態においては、一例としてソース領域１３上にソースコンタクト層１８形成した場合を示しているが、ソース電極１６と接するソース領域１３の内側にソースコンタクト層１８を作り込んだ構成としても勿論よい。

【００６８】

このことにより、n^-型の多結晶シリコンからなるソース領域１３とソース電極１６とがオーム性接触となるため、ソース電極１６との接触抵抗を低減することができる。

【００６９】

（第９の実施の形態）

図１４は、本発明に係る炭化珪素半導体装置の第９の実施の形態を示している。本実施の形態に係る炭化珪素半導体装置は、図１３に示した炭化珪素半導体装置１０において、ゲート電極１５直下に形成されているソース領域１３とヘテロ接合しているドレイン領域１２側の界面に、ドレイン領域１２より不純物濃度が高い炭化珪素からなるn^+型の低抵抗領域１９を形成したものであり、他の構成は図１３に示した炭化珪素半導体装置１０と同様である。すなわち、ゲート電極１５直下のソース領域１３とドレイン領域１２のヘテロ接合界面を、n^-型の多結晶シリコンとn^+型の炭化珪素で構成することで、エネルギー障壁ΔE_cを小さくしている。

【００７０】

このことにより、第１の実施の形態で説明した導通状態と同様の正電位をゲート電極１５に印加した場合、ソース領域１３から流れる伝導電子はヘテロ接合部のエネルギー障壁中をトンネリングし易くなる。すなわち、本実施の形態においては、上記した第６～第８の実施の形態の効果に加え、さらにオン抵抗を向上することができる。

【００７１】

（第１０の実施の形態）

図１５は、本発明に係る炭化珪素半導体装置の第１０の実施の形態を示している。本実施の形態に係る炭化珪素半導体装置１０は、図１４に示した第９の実施の形態において、ソース領域１３もしくはソースコンタクト層１８と接するように、溝の底部に炭化珪素からなるｐ型の電界緩和領域２０を形成した構成となっている。そして、電界緩和領域２０は、ソース電極１６と同電位に固定されている。本実施の形態における他の構成は、上記した第９の実施の形態と同様である。

【００７２】

本実施の形態においては、上記した第６～第９の実施の形態と同様に、例えばソース電極１６並びにゲート電極１５を接地し、ドレイン電極１７に正電位を印加した場合、遮断状態を実現するのがさらに容易となる。すなわち、本実施の形態においては、ソース電極１６と同電位に固定された電界緩和領域２０とドレイン領域１２との間のｐｎ接合にも逆バイアスが印加されるため、その接合界面から空乏層が伸びるからである。そして、溝同士の距離が短い場合、それぞれの電界緩和領域２０から伸びた空乏層によって、溝同士に挟まれたドレイン領域１２を空乏化することができる。このことから、低抵抗領域１９の不純物濃度をさらに高くして、低抵抗領域１９自体が完全に空乏化しなくても、素子耐圧を電界緩和領域２０で維持することができる。

【００７３】

すなわち、本実施の形態においては、上記した第６～第９の実施の形態の効果に加え、さらに低抵抗領域１９の不純物濃度を高めることができるため、さらにオン抵抗を向上することができる。

【００７４】

（第１１の実施の形態）

図１６は、本発明に係る炭化珪素半導体装置の第１１の実施の形態を示している。本実施の形態の炭化珪素半導体装置１０では、図１５に示した炭化珪素半導体装置１０において、電界緩和領域２０の代わりに誘電体領域２１がソース領域１３もしくはソースコンタクト層１８と接するように溝底部に形成され、ソース電極１６に接続された構成となっている。本実施の形態における他の構成は、図１５に示した第１０の実施の形態と同様である。

【００７５】

本実施の形態では、誘電体領域２１の形成工程が電界緩和領域の形成工程より容易であるという利点があり、かつ電界緩和領域を形成した構成と同様の効果を有する。

【００７６】

したがって、本実施の形態においては、上記した第６～第１０の実施の形態の効果に加えて、さらに製造工程を簡略化することができる。

【００７７】

（他の実施形態）

上記した本発明の第１～第１１の実施の形態の開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【００７８】

例えば、上記した第１～第１１の実施の形態では、一例として炭化珪素のポリタイプを４Ｈタイプを用いて説明したが、６Ｈ、３Ｃなどその他のポリタイプを用いてもよい。また、上記した実施の形態中、ソース領域１３に用いるヘテロ半導体材料として多結晶シリコンを用いた例で説明したが、炭化珪素とヘテロ接合を形成する材料であれば、他の材料を用いてもよい。

【００７９】

また、上記した実施の形態では、一例としてドレイン領域１２をｎ型の炭化珪素を、ソース領域１３としてｎ型の多結晶シリコンを用いて説明しｔが、ｎ型の

炭化珪素とｐ型の多結晶シリコン、ｐ型の炭化珪素とｐ型の多結晶シリコン、ｐ型の炭化珪素とｎ型の多結晶シリコンなどの如何なる組み合わせを用いてもよい。

【００８０】

また、上記した各実施の形態では、ドレイン電極とソース電極とが平行をなすストライプ状に形成された構造を持つ炭化珪素半導体装置として説明したが、ソース電極が環状（リング状）の構造を持つ炭化珪素半導体装置としてもよい。

【図面の簡単な説明】

【図１】

本発明に係る炭化珪素半導体装置の第１の実施の形態を示す断面図である。

【図２】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（接触前）である。

【図３】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（接触後）である。

【図４】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（熱平衡状態）である。

【図５】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（オフ状態）である。

【図６】

本発明に係る炭化珪素半導体装置の動作原理を説明するエネルギーバンド構造図（オン状態）である。

【図７】

本発明に係る炭化珪素半導体装置の第２の実施の形態を示す断面図である。

【図８】

本発明に係る炭化珪素半導体装置の第３の実施の形態を示す断面図である。

【図９】

本発明に係る炭化珪素半導体装置の第４の実施の形態を示す断面図である。

【図１０】

本発明に係る炭化珪素半導体装置の第５の実施の形態を示す断面図である。

【図１１】

本発明に係る炭化珪素半導体装置の第６の実施の形態を示す断面図である。

【図１２】

本発明に係る炭化珪素半導体装置の第７の実施の形態を示す断面図である。

【図１３】

本発明に係る炭化珪素半導体装置の第８の実施の形態を示す断面図である。

【図１４】

本発明に係る炭化珪素半導体装置の第９の実施の形態を示す断面図である。

【図１５】

本発明に係る炭化珪素半導体装置の第１０の実施の形態を示す断面図である。

【図１６】

本発明に係る炭化珪素半導体装置の第１１の実施の形態を示す断面図である。

【図１７】

従来の炭化珪素半導体装置を示す断面図である。

【符号の説明】

１０　炭化珪素半導体装置

１１　n^+炭化珪素基板領域

１２　ドレイン領域

１３　ソース領域

１４　ゲート絶縁膜

１５　ゲート電極

１６　ソース電極

１７　ドレイン電極

１８　ソースコンタクト層

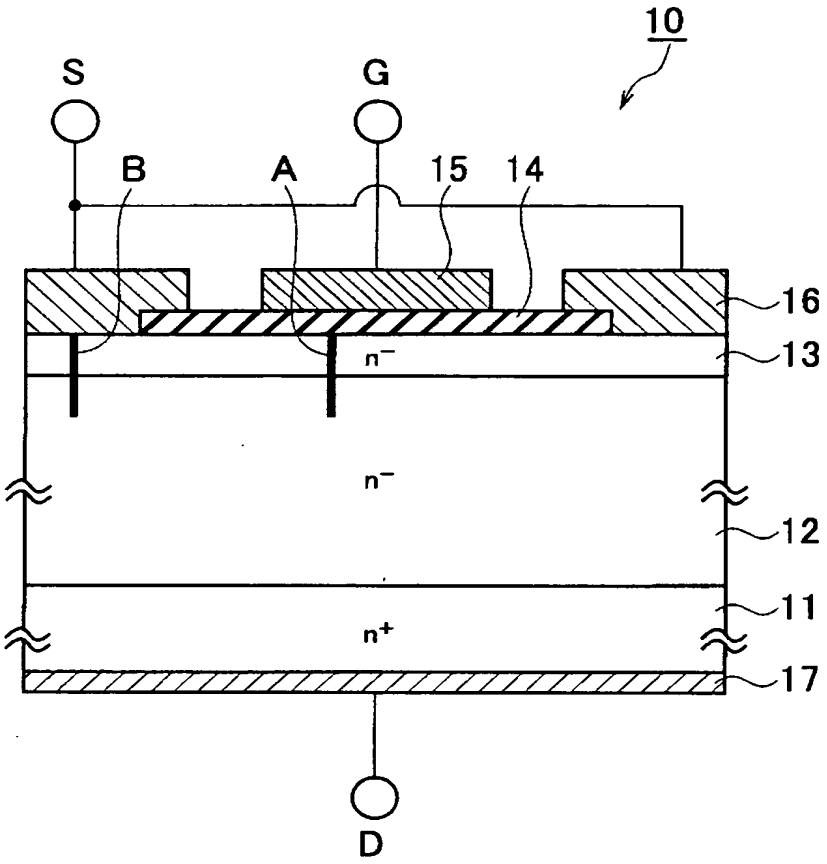
１９　低抵抗領域

２０　電界緩和領域

２１　誘電体領域

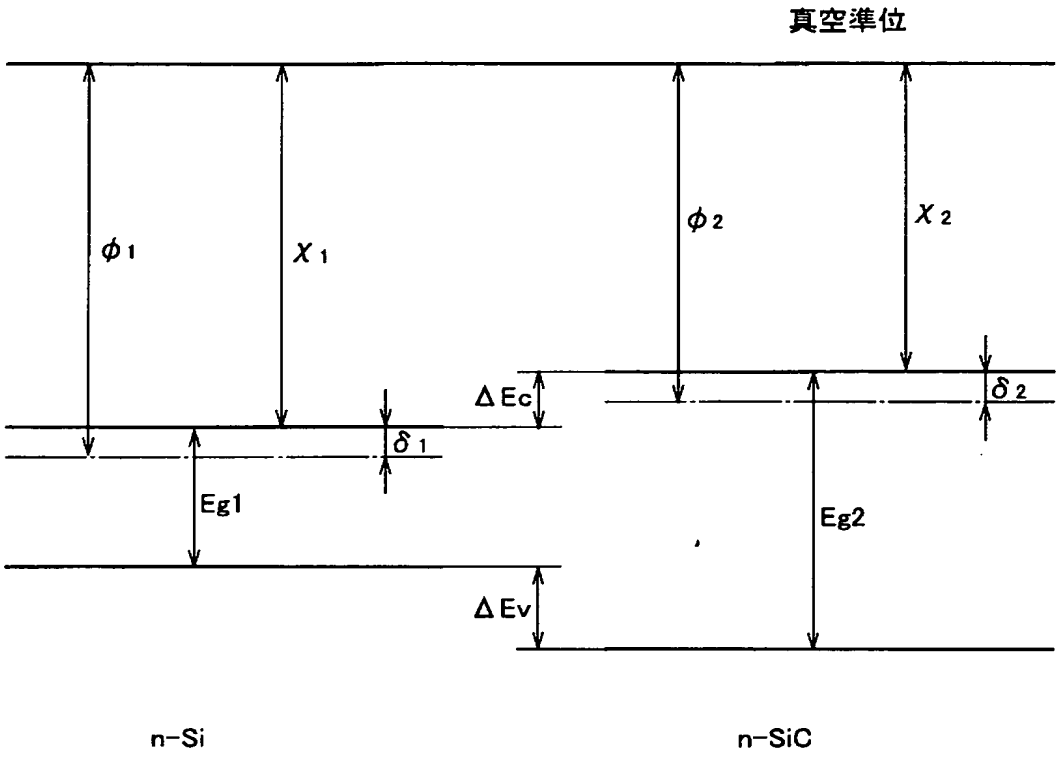
【書類名】　　図面

【図１】



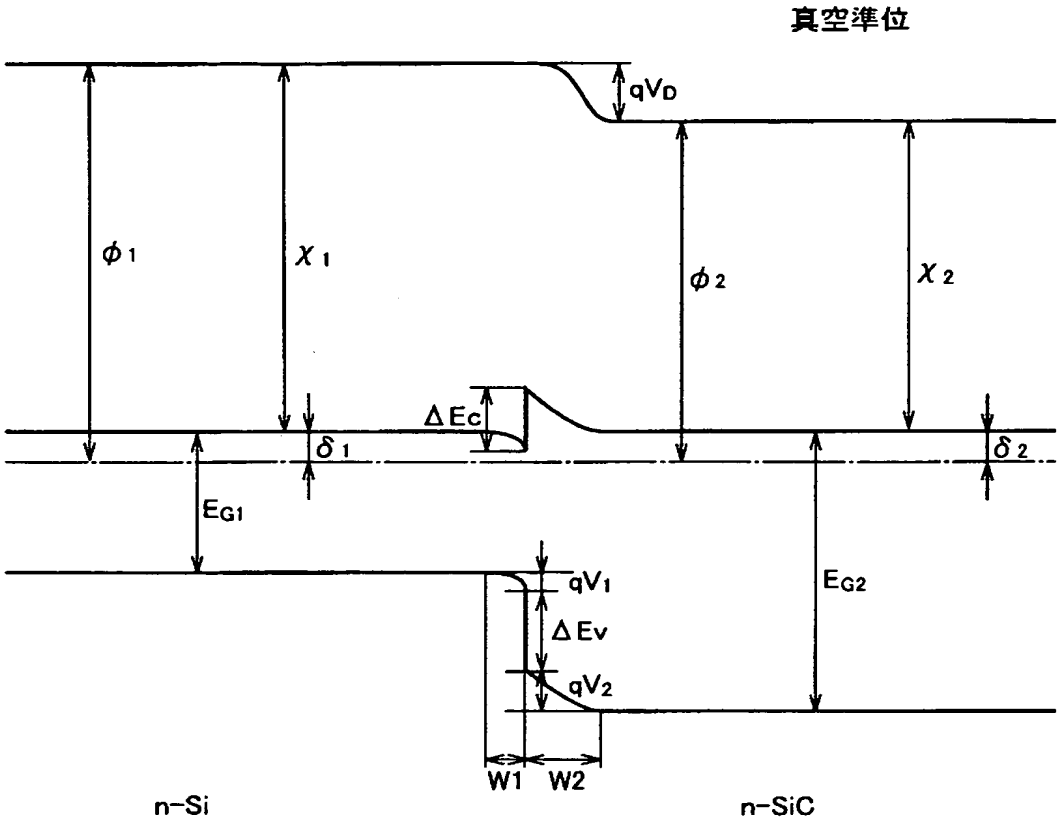
出証特２００３－３０５１１９２

【図２】

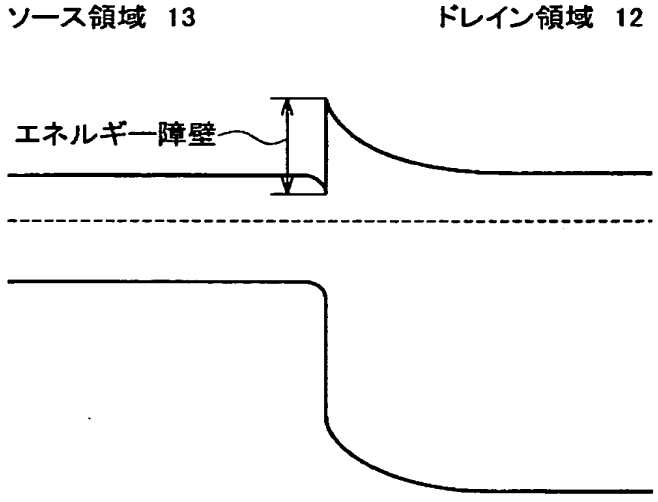


出証特２００３－３０５１１９２

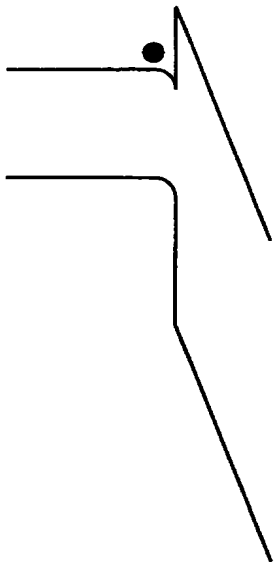
【図３】


真空準位
qVD
φ1
χ1
φ2
χ2
ΔEc
δ1
δ2
EG1
qV1
ΔEv
qV2
EG2
W1
W2
n-Si
n-SiC

【図４】

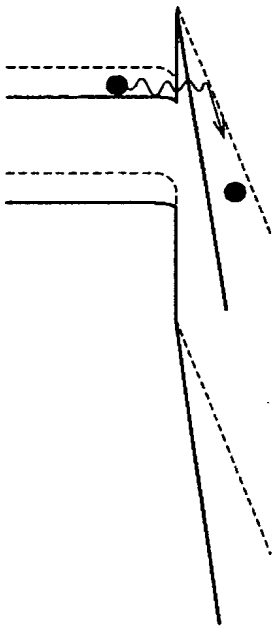

ソース領域 13
ドレイン領域 12
エネルギー障壁

【図５】



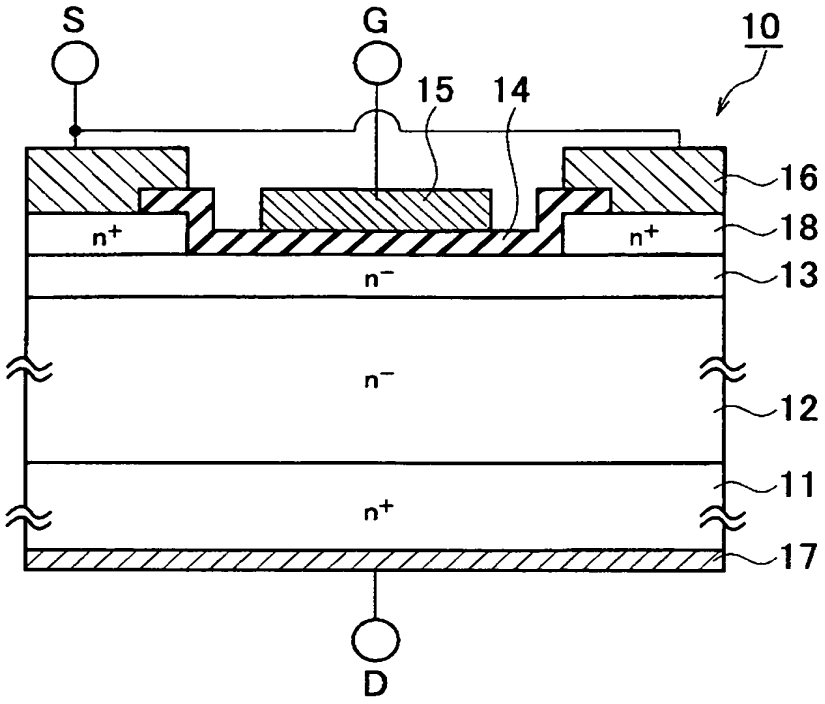
オフ状態

【図６】

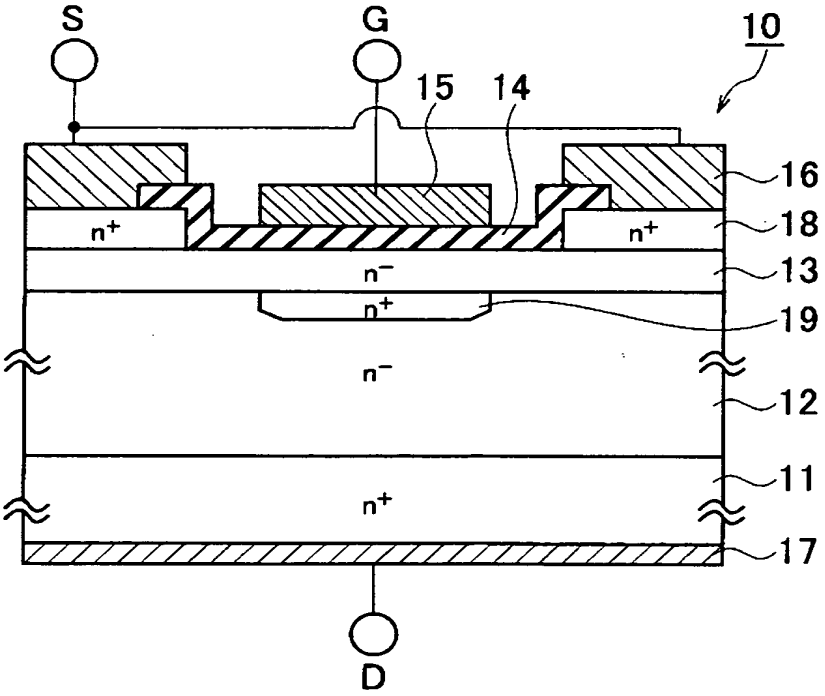


オン状態

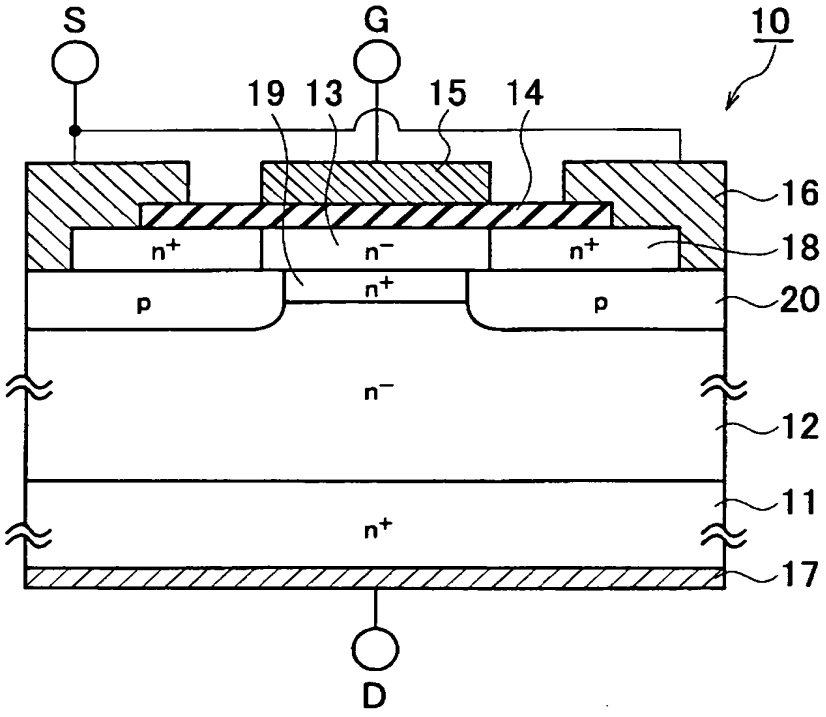
【図７】


S
G
10
15
14
16
n+
18
n+
n−
13
n−
12
n+
11
17
D

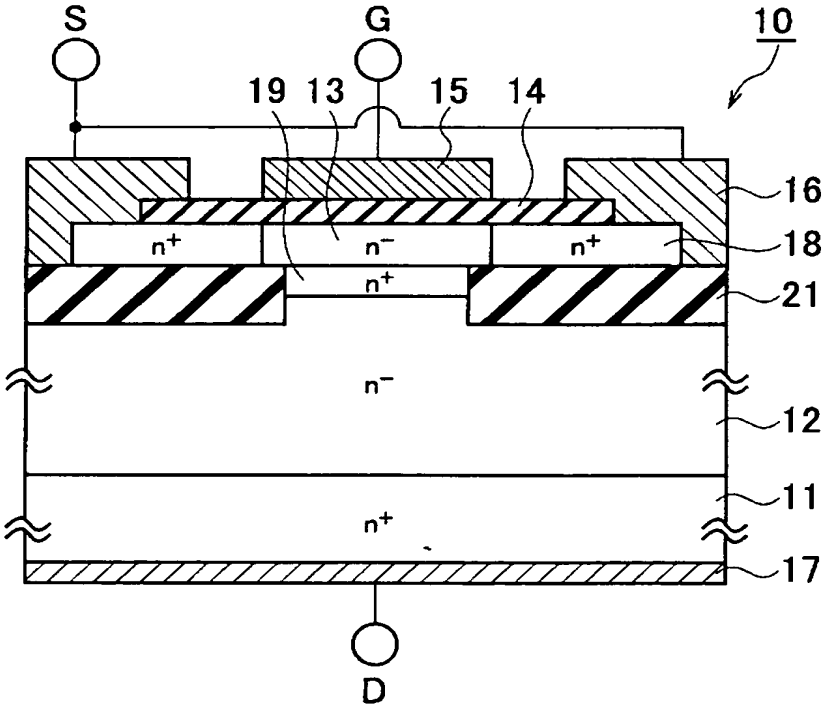
【図８】


S
G
10
15
14
16
n+
18
n+
n−
13
n+
19
n−
12
n+
11
17
D

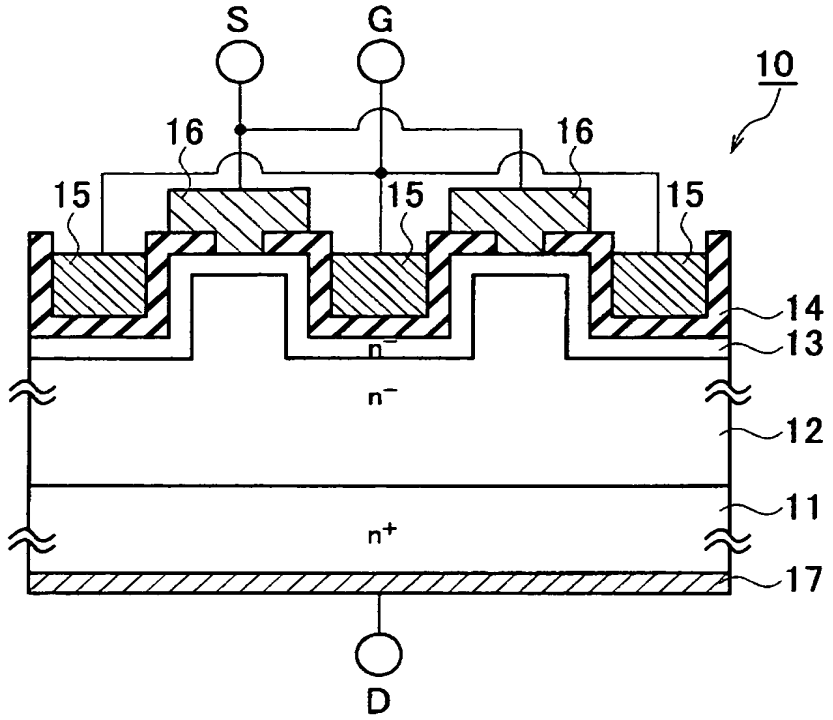
【図９】


S
G
10
19
13
15
14
16
n+
n−
n+
18
p
n+
p
20
n−
12
11
n+
17
D

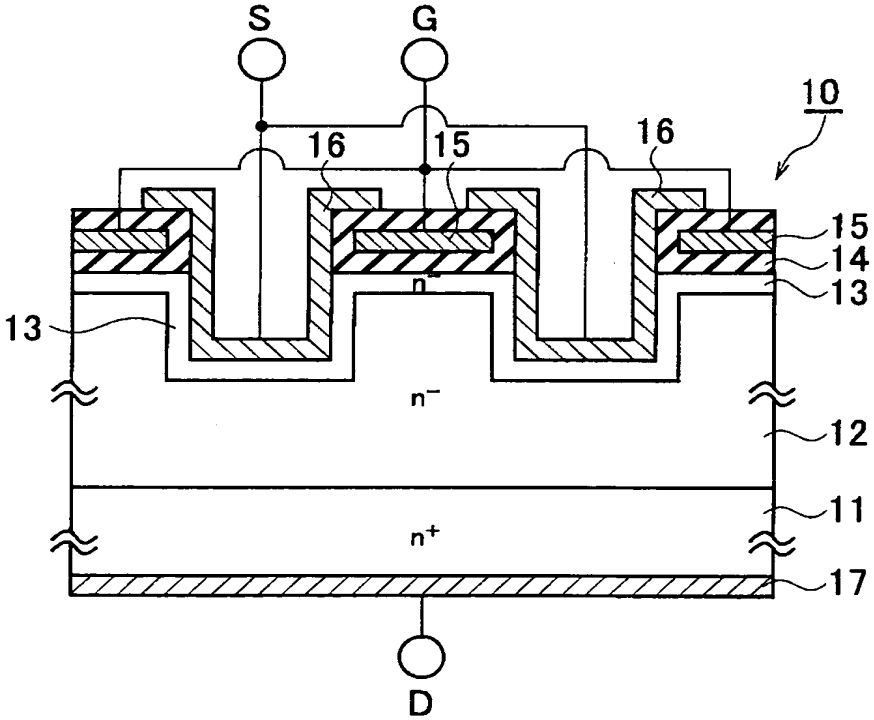
【図１０】


S
G
10
19
13
15
14
16
n+
n−
n+
18
n+
21
n−
12
11
n+
17
D

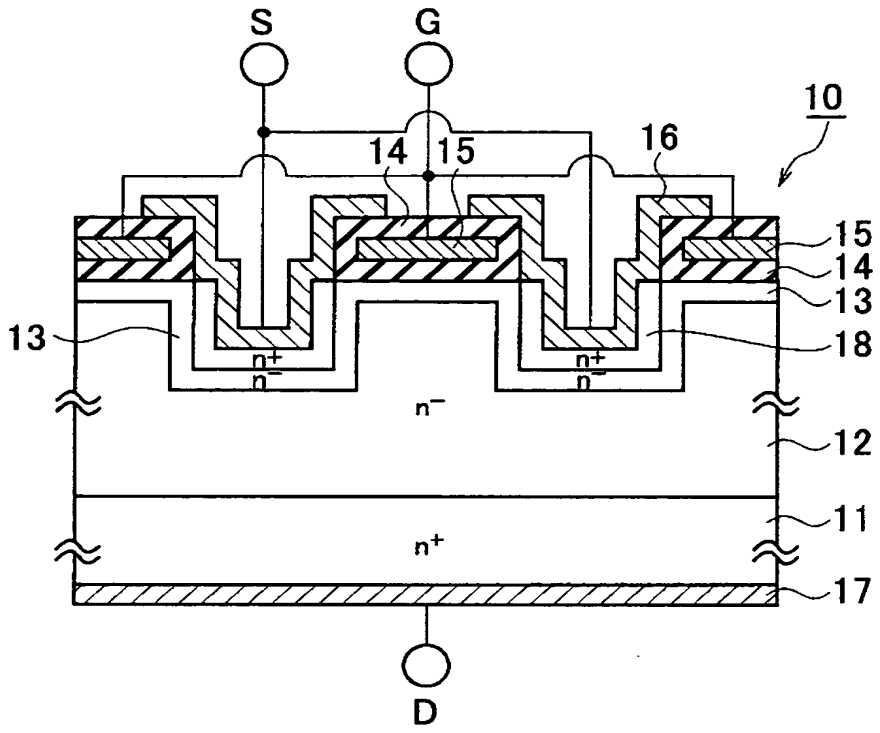
【図１１】


S
G
10
16
16
15
15
15
14
13
n⁻
n⁻
12
11
n⁺
17
D

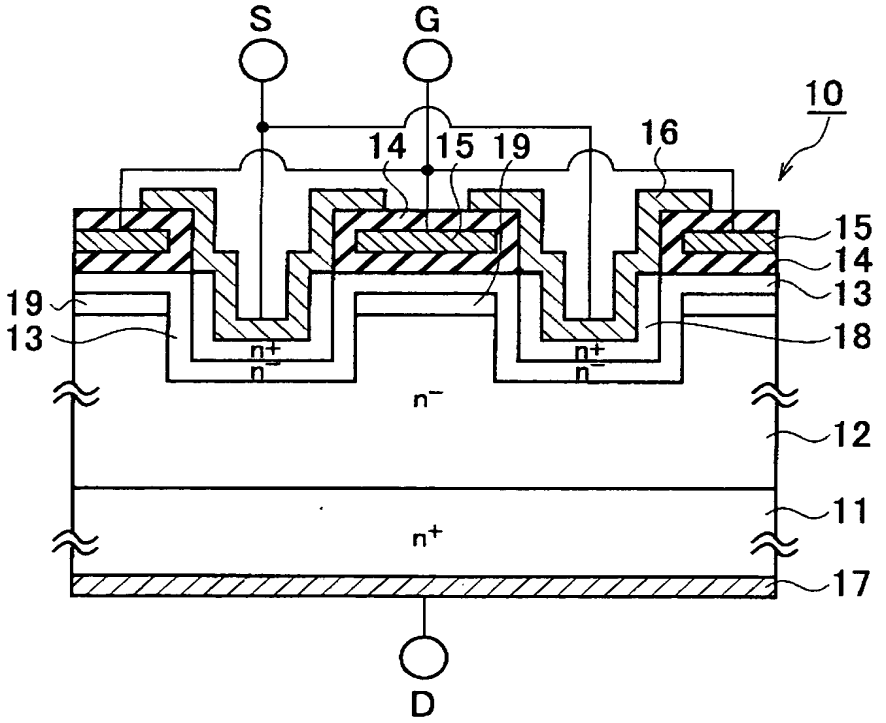
【図１２】


S
G
10
16
15
16
15
14
13
13
n⁻
n⁻
12
11
n⁺
17
D

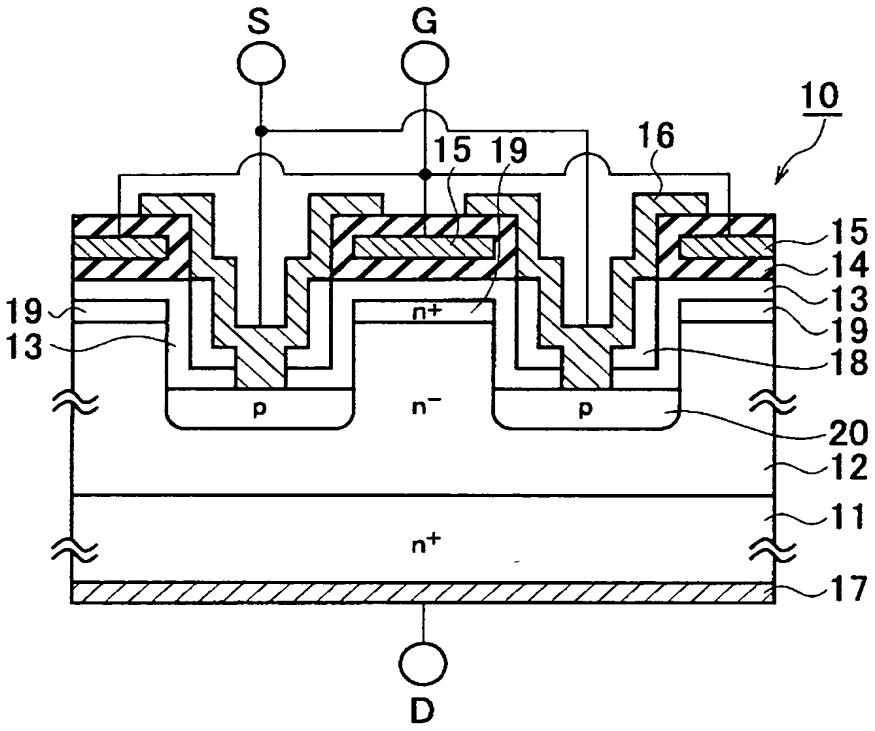
【図１３】


S
G
10
14
15
16
15
14
13
13
18
n+
n−
n−
12
11
n+
17
D

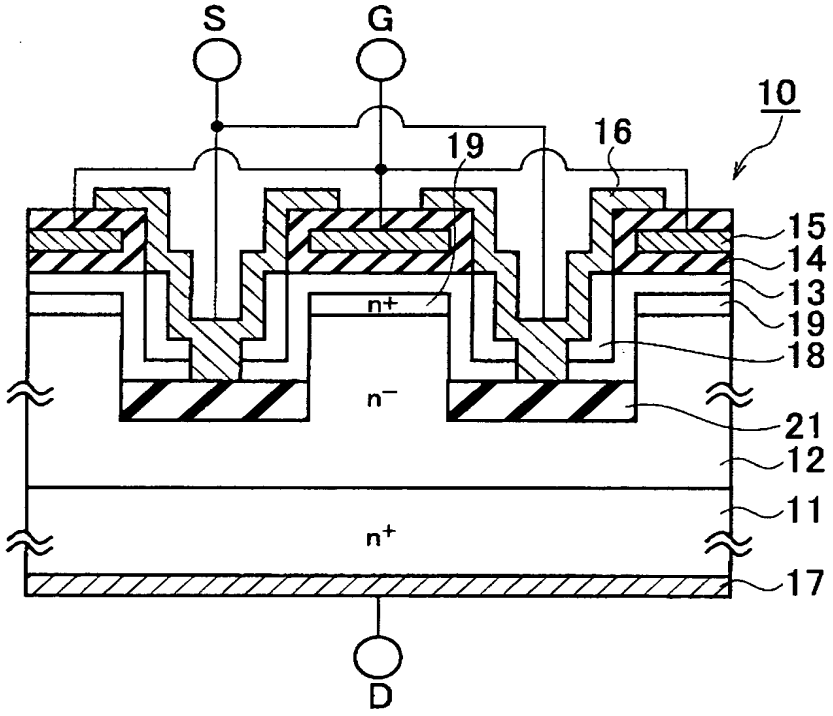
【図１４】


S
G
10
14
15
19
16
15
14
13
19
13
18
n+
n−
n−
12
11
n+
17
D

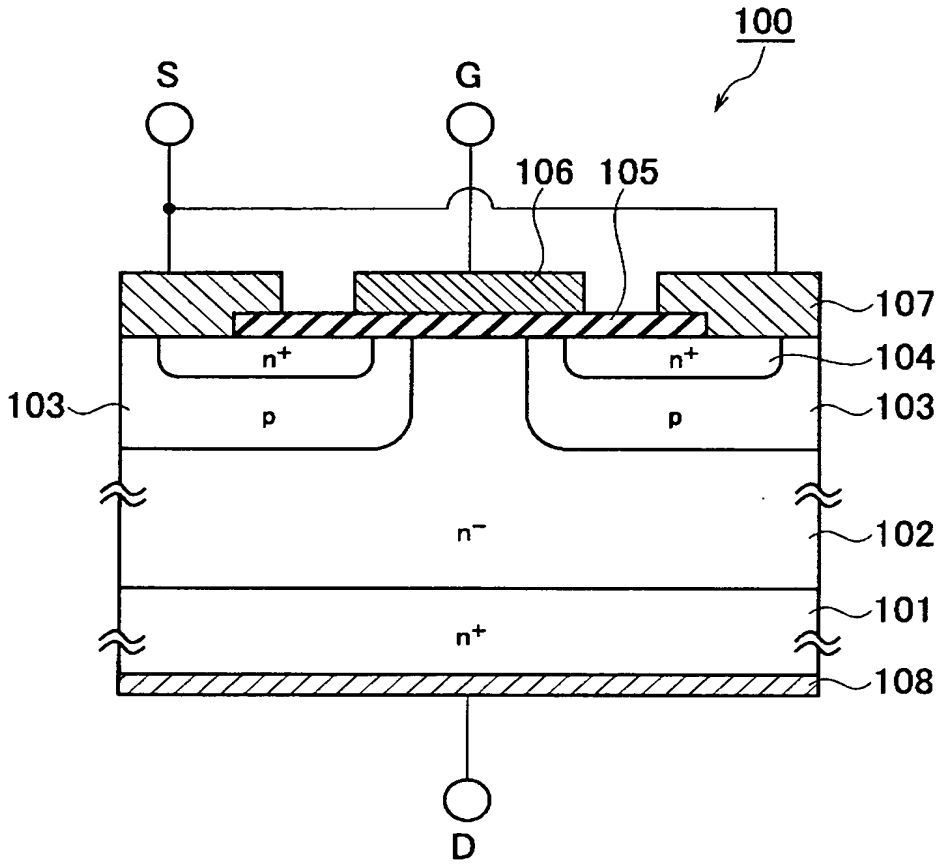
【図１５】


S
G
10
16
15 19
15
14
13
19
18
19
13
n+
p
n−
p
20
12
11
n+
17
D

【図１６】


S
G
10
19
16
15
14
13
19
18
n+
n−
21
12
11
n+
17
D

【図１７】



【書類名】　　要約書

【要約】

【課題】　オン抵抗を低減し、かつ素子耐圧を向上することができる、高耐圧炭化珪素半導体装置を提供する。

【解決手段】　n^+型炭化珪素基板領域１１と、n^+型炭化珪素基板領域１１上に形成されたn^-型の炭化珪素からなるドレイン領域１２と、ドレイン領域１２よりバンドギャップが小さいヘテロ半導体からなり、ドレイン領域１２の一方の主面上に形成されたソース領域１３と、ソース領域１３上の所定領域に形成されたゲート絶縁膜１４と、ゲート絶縁膜１５の上に形成されたゲート電極１５と、ゲート電極１５の側方に配置されて、ゲート絶縁膜１５が存在しない部分でソース領域１３に接触するように形成されたソース電極１６と、n^+型炭化珪素基板領域１１の他方の主面側に形成されたドレイン電極１７とからなる。

【選択図】　　図１

出　願　人　履　歴　情　報

識別番号　　〔０００００３９９７〕

１．変更年月日　　１９９０年　８月３１日
［変更理由］　新規登録
住　所　　神奈川県横浜市神奈川区宝町２番地
氏　名　　日産自動車株式会社